

1/9/1

DIALOG(R)File 351:Derwent WPI

(c) 2003 Thomson Derwent. All rts. reserv.

013677102 **Image available**

WPI Acc No: 2001-161315/200117

XRPX Acc No: N01-117652

Data packet synchronisation method - putting synchronisation information,

information regarding length of data packet, and check information formed

over its entire length, in front of each data packet in transmitter

Patent Assignee: SIEMENS AG (SIEI)

Inventor: CHARZINSKI J; GRAF J

Number of Countries: 025 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No:	Kind	Date	Week
EP 1077562	A1	20010221	EP 99116229	A	19990817	200117 B

Priority Applications (No Type Date): EP 99116229 A 19990817

Patent Details:

Patent No	Kind	Lang	Pg	Main IPC	Filing Notes
EP 1077562	A1	G	12	H04L-029/06	

Designated States (Regional): AL AT BE CH CY DE DK ES FI FR GB GR IE
IT

LI LT LU LV MC MK NL PT RO SE SI

Abstract (Basic): EP 1077562 A

The method involves synchronising data packets of variable length

in a bit- oriented channel, with a number of data packets (P) which are

transmitted between a sending and a receiving arrangement.

A synchronisation information (SYNC), an information regarding the

length (PL) of the data packet, and a check information (FS) formed over its entire length, are put in front of each data packet in the transmitter.

USE - E.g. for IP packets.

ADVANTAGE - Enables simple and reliable detection of borders of data packets of variable length, without losing dynamic of transmission process.

Dwg.3/5

Title Terms: DATA; PACKET; SYNCHRONISATION; METHOD; PUTTING;

SYNCHRONISATION; INFORMATION; INFORMATION; LENGTH; DATA; PACKET; CHECK;

INFORMATION; FORMING; LENGTH; FRONT; DATA; PACKET; TRANSMIT

Derwent Class: W01

International Patent Class (Main): H04L-029/06

International Patent Class (Additional): H04L-007/04

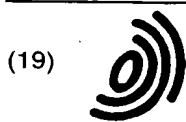
File Segment: EPI

Manual Codes (EPI/S-X): W01-A03B; W01-A04A; W01-A06B7; W01-A06F; W01-A06G2;

W01-A07G

?

THIS PAGE BLANK (USPTO)



(19)

Europäisches Patentamt
European Patent Office
Office européen des brevets



(11)

EP 1 077 562 A1

(12)

EUROPÄISCHE PATENTANMELDUNG

(43) Veröffentlichungstag:
21.02.2001 Patentblatt 2001/08

(51) Int Cl.7: H04L 29/06, H04L 7/04

(21) Anmeldenummer: 99116229.8

(22) Anmeldetag: 17.08.1999

(84) Benannte Vertragsstaaten:
AT BE CH CY DE DK ES FI FR GB GR IE IT LI LU
MC NL PT SE
Benannte Erstreckungsstaaten:
AL LT LV MK RO SI

(72) Erfinder:
• Graf, Jürgen, Dipl.-Ing.
82065 Baierbrunn (DE)
• Charzinski, Joachim, Dipl.-Ing.
85764 Oberschleissheim (DE)

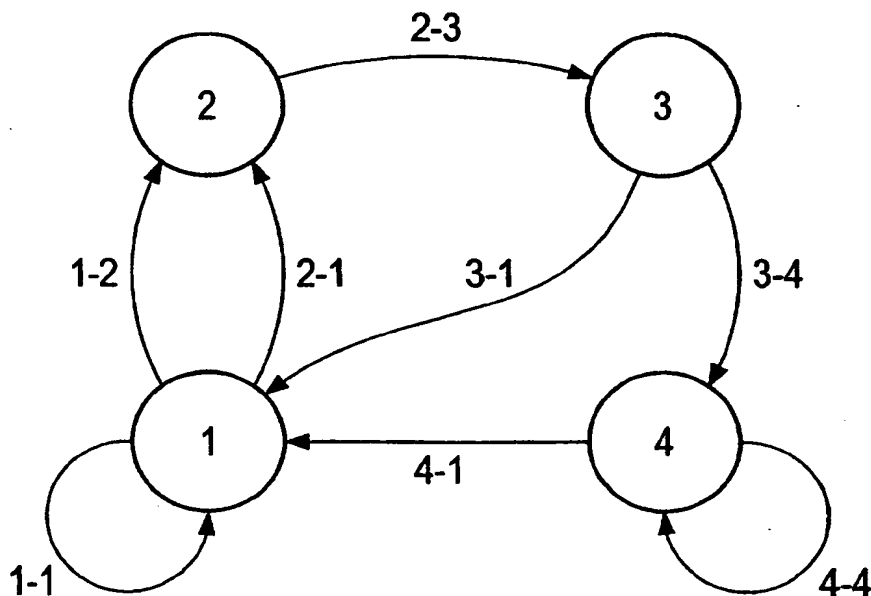
(71) Anmelder: SIEMENS AKTIENGESELLSCHAFT
80333 München (DE)

(54) **Verfahren zur Synchronisierung von Datenpaketen variabler Länge in einem bit-orientierten Kanal**

(57) Die Verarbeitung von Datenpaketen variabler Länge (z.B. IP-Pakete), die mit konstanter Bitrate übertragen werden, erfordert, daß Byte- und Paketgrenzen sicher erkannt werden. Die Erfindung löst dieses Problem, indem jedem Datenpaket sendeseitig eine Synchronisationsinformation, eine Information bezüglich

der Länge des Datenpaketes und eine über die Länge gebildete Prüfinformation vorangestellt wird, und empfangsseitig bei Auffinden der Synchronisationsinformation ein Suchverfahren mit Hilfe der Längen- und Prüfinformation gestartet wird, bis die Paketgrenze gefunden ist.

FIG 3



EP 1 077 562 A1

Beschreibung

[0001] Die Erfindung betrifft ein Verfahren gemäß dem Oberbegriff von Patentanspruch 1.

[0002] Werden byte-orientierte Datenpakete mit variabler Länge über einen binären, bit-orientierten Kanal mit konstanter Bitrate übertragen, so müssen Byte- und Paketgrenzen sicher erkannt werden. Dadurch wird eine weitere Verarbeitung der Datenpakete erst möglich. Unter einem bit-orientierten Kanal wird dabei die Übertragung der Datenpakete ohne eine übergeordnete Rahmenstruktur verstanden. Da die eintreffenden Datenpakete - wie z.B. IP-Pakete - variable Länge aufweisen, kann ohne besondere Maßnahmen empfangsseitig lediglich das Eintreffen einzelner Bits erkannt werden. Eine Zuordnung einzelner Bits zu Bytes oder einzelne Datenpaketen ist nicht möglich.

[0003] Beim Stand der Technik haben sich zur Lösung dieses Problems insbesondere zwei Verfahren herauskristallisiert:

[0004] In dem ersten bekannten Verfahren gemäß des Standes der Technik werden die Paketgrenzen durch sonst nicht vorkommende Start- und Stop-Synchronisationssequenzen erkannt. Dies bedeutet, daß sendeseitig eine festgelegte Bitfolge (z.B. 01111110) an den Anfang und das Ende eines jeden Datenpakets gestellt wird, womit ein Blockbegrenzungsfeld definiert ist. Kommt diese Bitfolge innerhalb des Datenpakets vor, so muß sie durch eine längere Sequenz ersetzt werden, die sich empfangsseitig erkennen und wieder zurückverwandeln läßt. Beispielhaft hierzu sei das bekannte HDLC-Protokoll erwähnt.

[0005] Für die Synchronisation des Datenpaketes wird die Sequenz des Blockbegrenzungsfeldes ausgewertet. Damit alle Bitmuster übertragen werden können, ist ein Biteinfügemechanismus (Bitstopfen) definiert. Dies bedeutet, daß immer dann, wenn fünf aufeinanderfolgende Bits übertragen werden, sendeseitig eine Null eingefügt wird. Zwischen den gesendeten Blockbegrenzungen kann daher im fehlerfreien Fall das Blockbegrenzungszeichen nicht mehr vorkommen. Der Empfänger entfernt dieses Stopfbit wieder und stellt den ursprünglichen Zustand wieder her.

[0006] Nachteilig an diesem bekannten Verfahren ist der Umstand, daß aufgrund dieses Biteinfügemechanismus die Dynamik des Übertragungsvorganges beeinträchtigt wird.

[0007] In dem zweiten bekannten Verfahren gemäß des Standes der Technik erfolgt die Erkennung der Paketgrenze durch eine Paketlängenangabe und ein CRC-Feld. Das CRC-Feld führt eine Information, die nach dem bekannten CRC-Prüfverfahren (Cyclic Redundancy Check) berechnet wurde. Dem Datenpaket wird hier die Angabe über die Länge des Datenpaketes sowie die aus der Paketlänge berechnete CRC-Prüfinformation vorangestellt. Damit ist ein Übertragungsrahmen definiert, der aus Paketlänge, CRC-Feld und dem Datenpaket selbst besteht.

[0008] Zur Synchronisierung wird in dem empfangenen Datenstrom nach einem möglichen Rahmenanfang gesucht. Hierbei wird über die empfangenden Bits eine CRC-Prüfung vorgenommen. Wird eine Sequenz gefunden, die zudem noch mit der im mitübertragenen CRC-Feld enthaltenen Sequenz übereinstimmt, wird dies als möglicher Rahmenanfang interpretiert. Zur Verifizierung dieser Interpretation wird zusätzlich überprüft, ob die dem Datenpaket vorangestellte Information als Längenangabe zu interpretieren ist. Hierzu wird diese Information auf den möglichen Rahmenanfang beaufschlagt. Wird erneut ein Rahmenanfang gefunden, wird die Synchronisierung als gelungen angenommen, ansonsten muß erneut nach einem Rahmenanfang gesucht werden. Die entsprechenden Verhältnisse werden durch das SDL (Simple Delta Link) Protokoll der Firma Lucent beschrieben.

[0009] Nachteilig an diesem Verfahren ist, daß der ankommende Bitstrom ständig einer CRC-Prüfbewertung unterworfen ist. Da die CRC-Prüfbewertungen relativ komplex sind, ist mit einer derartigen Vorgehensweise ein erhöhter Aufwand verbunden.

[0010] Der Erfindung liegt die Aufgabe zugrunde, einen Weg aufzuzeigen, wie die Grenzen von Datenpaketen variabler Länge sicher und ohne Verlust der Dynamik des Übertragungsvorganges mit einfachen Mitteln ermittelt werden können.

[0011] Die Erfindung wird ausgehend vom Oberbegriff von Patentanspruch 1 durch die im kennzeichnenden Teil angegebenen Merkmale gelöst.

[0012] Vorteilhaft an der Erfindung ist, daß jedem Datenpaket sendeseitig eine Synchronisationsinformation, eine Information bezüglich der Länge des Datenpaketes und eine über die Länge gebildete Prüfinformation vorangestellt wird. Vorteilhaft ist insbesondere, daß die CRC-Prüfbewertungen nicht wie beim Stand der Technik beim Eintreffen eines jeden Bit vorgenommen werden müssen, sondern erst, wenn eine Synchronisationsinformation gefunden wurde.

[0013] Vorteilhafte Weiterbildungen der Erfindung sind in den Unteransprüchen vorgesehen.

[0014] Der ankommende Bitstrom wird empfangsseitig auf die Synchronisationsinformation hin untersucht, und bei Auffinden derselben überprüft, ob eine empfangsseitig über die Länge gebildete Prüfinformation mit der sendeseitig gebildeten und mitübertragenen Prüfinformation übereinstimmt. Damit ist dann im Falle eines 4-stufigen Verfahrens eine vorläufige Rahmengrenze definiert. Anschließend wird bei Vorliegen dieser Übereinstimmung wenigstens einmal überprüft, ob die Beaufschlagung der vorläufigen Rahmengrenze mit der Paketlänge zur nächsten Rahmengrenze führt. Ist dies der Fall, sind endgültige Rahmengrenzen und Synchronität definiert. Letztere ist dann solange gegeben, bis die Beaufschlagung dieser als endgültig angesehenen Rahmengrenze mit der Paketlänge (PL) nicht mehr zur nächsten Rahmengrenze führt.

[0015] Die Erfindung wird im folgenden anhand eines

figürlich dargestellten Ausführungsbeispielen näher erläutert.

[0016] Es zeigen:

- Fig 1 eine Rahmenstruktur, über die die Paketgrenzen ermittelbar sind
- Fig 2 ein 3-stufiger Algorithmus zum Ermitteln der Paketgrenzen
- Fig 3 ein 4-stufiger Algorithmus zum Ermitteln der Paketgrenzen
- Fig 4 eine Rahmenstruktur, mit nicht aneinander grenzenden Datenpaketen
- Fig 5 eine empfangsseitig angeordnete Synchronisationsvorrichtung, auf der die Algorithmen nach Fig. 2, 3 ablaufen.

[0017] In Fig. 1 ist die erfindungsgemäße Rahmenstruktur R aufgezeigt. Demgemäß wird jedem der zu übertragenden Datenpakete P eine Startsynchrisierungssequenz SYNC, eine Angabe über die Pakettlänge PL sowie eine aus dieser Angabe ermittelte Fehlersicherungssequenz FS vorangestellt. Die zu übertragenden Datenpakete P können feste oder variable Länge aufweisen.

[0018] Die Startsynchrisierungssequenz SYNC kann jede beliebige Bitfolge sein. Aus Gründen der sicheren Erkennung der Bytegrenzen und des Paketanfangs ist es aber günstiger, eine Bitfolge mit unregelmäßigen Strukturen zu wählen. Im Feld PL ist die Länge des Datenpaketes P abgelegt, d. h. hier ist ein Zeiger gespeichert, der auf die Stelle zeigt, an der das nächste Datenpaket P beginnt. Die Fehlersicherungssequenz FS ist eine aus der Pakettlänge PL berechnete Prüfinformation, mit der eine Fehlererkennung oder eine Fehlerkorrektur möglich ist. Beispiele hierfür sind Blockcodes, CRC- (Cyclic Redundancy Check), BIP- (Bit Interleaved Parity) oder FEC- (Forward Error Correction) Prüfverfahren. Die einzelnen Rahmen R sind nahtlos aneinander gereiht, wobei auch Leerrahmen (Datenpakettlänge PL = 0) möglich sind. Es werden also stets Rahmen, bestehend aus den Feldern SYNC, PL, FS sowie optional auch ein Datenpaket P (Datenpakettlänge > 0) übertragen.

[0019] Die Rahmen R können auch weitere Felder mit speziellen Funktionen enthalten sein. Diese werden aber für die Synchronisierung nicht verwendet. Solche Felder könnten sich wahlweise vor oder nach dem Datenpaket befinden (z. B. CRC-Check über das Datenpaket).

[0020] Die Startsynchrisierungssequenz SYNC ermöglicht ein einfaches Auffinden möglicher Byte- und Rahmengrenzen. Anhand der Fehlersicherungssequenz FS ist eine weitere Überprüfung daraufhin möglich, ob es sich um einen Rahmenanfang handelt oder nicht. Zur Synchronisierung auf die Byte- und Paketgrenzen gibt es damit die in Fig. 3 und Fig. 4 aufgezeigten Möglichkeiten.

[0021] In Fig. 3 ist ein 3-stufiges Verfahren aufgezeigt,

wie Byte- und Paketgrenzen mit Hilfe der Felder SYNC, PL, FS empfangsseitig ermittelt werden können. Das Diagramm zeigt insgesamt 3 Zustände, nämlich Zustand 1, Zustand 2, Zustand 3. Zwischen allen 3 Zuständen gibt es Zustandsübergänge. Jeder Zustand und jeder Zustandsübergang definiert ein bestimmtes Systemverhalten.

[0022] Es bedeuten:

Zustand 1: Byte- und Rahmengrenzen sind nicht bekannt. Der Empfänger ist ausgerastet. Im empfangenen Bitstrom wird nach der Startsynchrisierungssequenz SYNC gesucht.

Zustand 2: Eine Startsynchrisierungssequenz SYNC (d.h. möglicher Rahmenanfang) wurde gefunden.

Zustand 3: Der Empfänger ist eingerastet (Synchronisiert). Anhand der Pakettlänge PL ist die Stelle des nächsten Rahmenanfangs bekannt.

[0023] Für die Zustandsübergänge gilt:

Zustandsübergang 1-1: Es wurde keine Startsynchrisierungssequenz SYNC gefunden.

Zustandsübergang 1-2: Es wurde eine gültige Startsynchrisierungssequenz SYNC gefunden.

Zustandsübergang 2-1: Die der Startsynchrisierungssequenz SYNC folgende Fehlersicherungssequenz FS war ungültig.

Zustandsübergang 2-3: Die der Startsynchrisierungssequenz SYNC folgende Fehlersicherungssequenz FS war gültig.

Zustandsübergang 3-1: An der erwarteten Stelle wurde kein gültiger Rahmenanfang gefunden.

Zustandsübergang 3-3: An der erwarteten Stelle wurde ein gültiger Rahmenanfang gefunden.

[0024] Hierbei ist unter einer gültigen Startsynchrisierungssequenz zu verstehen, daß eine bestimmte Anzahl korrekter Bits gefunden worden ist. Das Kriterium für eine "gültige Startsynchrisierungssequenz" kann für die einzelnen Zustände auch unterschiedlich gewählt werden. Sinnvoll für den Zustandsübergang 1-2 ist allerdings, wenn für den Übergang erforderlich ist, daß sämtliche Bits korrekt sind. Für den Übergang 3-1 ist es dagegen sinnvoll, nicht bei jedem einzelnen Bitfehler neu zu synchronisieren. Hier sollte dann eine bestimmte Anzahl an Bitfehler erlaubt sein. Im Fall einer gültigen Fehlersicherungssequenz sind zwei Forderungen denkbar:

1) die Fehlersicherungssequenz ist vollkommen korrekt oder

2) im Falle, daß ein Algorithmus verwendet wird, der eine Fehlerkorrektur erlaubt: Die Fehlersicherungssequenz stimmt nicht vollkommen fehlerfrei, die Anzahl der Fehler erlaubt aber noch eine Fehlerkorrektur. Die richtige Paketlänge kann also dennoch bestimmt werden. Punkt 1) und 2) können für die Zustände 2 und 3 unabhängig voneinander gewählt werden. So ist es z.B. sinnvoll die Fehlerkorrektur erst im Zustand 3 zu verwenden und nicht im Zustand 2, wo die Wahrscheinlichkeit eines irrtümlich angenommenen Rahmenanfangs noch relativ hoch ist.

[0025] Unter einem gültigen Rahmenanfang ist eine gültige Fehlersicherungssequenz zu verstehen oder eine Kombination einer gültigen Fehlersicherungssequenz und einer gültigen Startsynchrisierungssequenz. Das alleinige Überprüfen der Startsynchrisierungssequenz ist nicht sinnvoll, da eine korrekte Paketlänge zum Finden des nächsten Paketanfangs notwendig ist.

[0026] Fig. 4 zeigt ein 4-stufiges Verfahren. Während bei dem 3-stufigen Verfahren eine gewisse Fehlerwahrscheinlichkeit besteht, wird hier der letzte Verfahrensschritt des 3-stufigen Verfahrens, nämlich das Auffinden der nächsten Paketgrenze wiederholt. In einer speziellen Ausgestaltung der Erfindung wird vorgesehen, diesen letzten Verfahrensschritt des 3-stufigen Verfahrens mehrmals vorzunehmen.

[0027] Die Zustände 1, 2 sind hier identisch mit den Zuständen 1, 2 des 3-stufigen Verfahrens. Zu dem neuen Zustand 3 kommt nun noch ein neuer Zustand 4 hinzu.

[0028] Zustand 3: Der Empfänger ist vorgerastet (pre-synchronisiert). Anhand der Paketlänge ist die Stelle des nächsten Rahmenanfangs bekannt.

[0029] Zustand 4: Der Empfänger ist eingerastet (synchronisiert). Anhand der Paketlänge ist die Stelle des nächsten Rahmenanfangs bekannt.

[0030] Die einzelnen Zustandsübergänge bedeuten:

Zustandsübergang 1-1: Es wurde keine Startsynchrisierungssequenz SYNC gefunden.

Zustandsübergang 1-2: Es wurde eine gültige Startsynchrisierungssequenz SYNC gefunden.

Zustandsübergang 2-1: Die der Startsynchrisierungssequenz SYNC folgende Fehlersicherungssequenz FS war ungültig.

Zustandsübergang 2-3: Die der Startsynchrisierungssequenz SYNC folgende Fehlersicherungssequenz FS war gültig.

Zustandsübergang 3-1: An der erwarteten Stelle

wurde kein gültiger Rahmenanfang gefunden.

Zustandsübergang 3-4: An der erwarteten Stelle wurde ein gültiger Rahmenanfang gefunden.

Zustandsübergang 4-1: An der erwarteten Stelle wurde kein gültiger Rahmenanfang gefunden.

Zustandsübergang 4-4: An der erwarteten Stelle wurde ein gültiger Rahmenanfang gefunden.

[0031] Die Begriffe "gültige Startsynchrisierungssequenz" und "gültigen Fehlersicherungssequenz" sind wie im 3-stufigen Verfahren definiert. Für die Zustände 3 und 4 unterscheidet sich die Bedingungen. Dies bedeutet, daß unterschiedliche Kriterien gewählt wurden. Sinnvoll ist es die Bedingung im Zustand 3 härter zu wählen, da man in den Zustand 4 nicht fälschlicherweise gelangen möchte. Zum Beispiel: Die Fehlersicherungssequenz muß vollkommen korrekt sein; die Fehlerkorrektur wird nicht verwendet. Weiter kann auch noch verlangt werden, daß die Startsynchrisierungssequenz SYNC korrekt empfangen wurde. Im Zustand 4 dagegen würde man nur die Fehlersicherungssequenz mit Fehlerkorrektur verwenden, da man ja nun sehr sicher ist, daß man auf den tatsächlichen Rahmenanfang synchronisiert hat.

[0032] Die Vorrichtungen, auf denen das erfindungsgemäße Verfahren zum Ablauf gelangt, können auch als parallel arbeitende Synchronisationsvorrichtungen ausgebildet sein. Alle Synchronisationsvorrichtungen können nach dem 3 - oder 4 - stufigen Verfahren arbeiten.

[0033] Die Bedingungen für den Zustandsübergang 1-2 sowie den Zustandsübergang 1-1 müssen dann dahingehend koordiniert werden, daß nur eine der Synchronisationsvorrichtungen beim Auftreten einer Startsynchrisierungssequenz SYNC vom Zustand 1 in 2 übergeht. Andernfalls würden mehrere Synchronisationsvorrichtungen denselben möglichen Rahmenanfang überprüfen.

[0034] Zustandsübergang 1-1: Es wurde keine Startsynchrisierungssequenz SYNC gefunden oder die Synchronisationsvorrichtung ist nicht an der Reihe.

[0035] Zustandsübergang 1-2: Es wurde eine gültige Startsynchrisierungssequenz SYNC gefunden und die Synchronisationsvorrichtung ist an der Reihe.

[0036] Eine übergeordnete Steuerung koordiniert die verschiedenen Synchronisationsvorrichtungen. Die Steuerung wählt aus den Synchronisationsvorrichtungen, die sich im Zustand 1 befinden eine aus, die an der Reihe ist, falls die nächste Startsynchrisierungssequenz SYNC empfangen wird. Gelangt eine Synchronisationsvorrichtung in den Zustand 4, so wird deren gefundener Rahmenanfang als der gültige genommen und gehalten bis diese Synchronisationsvorrichtung wieder in den Zustand 1 zurückfällt; also die Synchronisation verliert. Optional kann schon, wenn die erste Synchroni-

sationsvorrichtung in den Zustand 2 oder 3 gelangt, dieser Rahmenanfang als der gültige angenommen werden, allerdings nur solange bis eine der übrigen Synchronisationsvorrichtung in den Zustand 4 gelangt.

[0037] Bislang wurde davon ausgegangen, daß die Pakete nahtlos aneinandergereiht sind. In einer in Fig. 4 aufgezeigten Ausgestaltung der Erfindung wird nun davon ausgegangen, daß dies nicht unbedingt der Fall sein muß. Somit können auch bestimmte Idle-Sequenzen zum Kennzeichnen, zum Auffüllen der Lücken zwischen den Paketen verwendet werden. Jedem zu übertragenen Datenpaket P wird die Startsynchro- nisationssequenz SYNC, die Pakettängenangabe PL sowie die daraus ermittelte Fehlersicherungssequenz FS vorangestellt.

[0038] Die einzelnen Datenpakete P können nahtlos aneinandergereiht werden, wobei auch Leerpakete (Datenpaketlänge = 0) möglich sind. Es werden also immer Sequenzen SYNC, PL, FS und optional auch ein Datenpaket P übertragen. Außerdem dürfen zwischen den Datenpaketen P bestimmte Idle-Sequenzen eingefügt werden, die sich allerdings von der Startsynchro- nisationssequenz SYNC unterscheiden sollten. Außerdem sollten Sie nicht als gültige Paketlänge aufgrund eines durchgeführten FS-Prüfverfahrens interpretiert werden können.

[0039] Die in Fig. 2, Fig. 3 angeführten Zustandsdiagramme funktionieren auch dann, wenn das IDLE-Muster so gewählt ist, daß keine korrekte Paketlänge PL vorgetäuscht wird.

[0040] In Fig 5 ist eine empfangsseitige Synchronisationsvorrichtung in Form eines Blockschaltbildes aufgezeigt. Demgemäß werden die Datenpakete P von einer eingangsseitig angeordneten Einrichtung E (Eingang) aufgenommen. Die Aufnahme erfolgt bitorientiert, d.h. Byte und Rahmengrenzen sind noch nicht bekannt. Die einzelnen Bits werden einer Einrichtung FD (Flag-Detektion) und einer Einrichtung RB (Rahmenbildung) zugeführt.

In der Einrichtung FD wird der ankommende Bitstrom auf das Auftreten der Startsynchro- nisationssequenzen SYNC hin untersucht. Wird eine Startsynchro- nisationssequenz SYNC ermittelt, wird dies der Einrichtung RB und einer übergeordneten Steuervorrichtung ZM (Zustandsmaschine) mitgeteilt.

[0041] Die Einrichtung RB erhält den bit-orientierten Datenstrom von der Einrichtung E. Außerdem werden von der Einrichtung FD Informationen über den Rahmenanfang mitgeteilt, falls eine Startsynchro- nisationssequenz SYNC gefunden wurde. Ferner erhält sie von der Steuervorrichtung ZM eine Information darüber, ob die die Information bezüglich des Rahmenanfangs übernommen oder aber der aktuelle Zustand beibehalten werden soll. Am Ausgang der Einrichtung RB liegen rahmenorientierte Daten an.

[0042] Als Fehlersicherungssequenz wird ein CRC-Prüfverfahren verwendet. Diese gelangt in einer Einrichtung CRC zum Ablauf. Die Einrichtung CRC erhält

rahmenorientierte Daten von der Einrichtung RB, berechnet eine CRC-Prüfsumme über die Paketlänge PL neu und vergleicht das Resultat mit der empfangenen, mitübertragenen CRC-Prüfsumme. Das Ergebnis dieses Vergleichs wird der Steuervorrichtung ZM mitgeteilt.

[0043] Ausgangsseitig ist eine Einrichtung A angeordnet. Diese erhält einen rahmenorientierten Datenstrom von der Einrichtung RB. Hier wird im folgenden nun das eigentliche Datenpaket P extrahiert und dann weitergeleitet, wenn das Signal von der Steuervorrichtung ZM dies erlaubt. Dieses von der Steuervorrichtung ZM gelieferte Signal teilt der Einrichtung A mit, ob das Datenpaket P zu verwerfen ist oder nicht.

[0044] Die übergeordnete Steuerung dieser Vorgänge wird von der Steuervorrichtung ZM übernommen. Die Steuervorrichtung ZM erhält eine Information von der Einrichtung FD, ob eine Startsynchro- nisationssequenz SYNC gefunden worden ist. Außerdem erhält sie das Ergebnis des CRC-Prüfverfahrens. Die Steuervorrichtung ZM arbeitet z.B. nach dem in Fig. 2 oder Fig. 3 aufgezeigten Zustandsdiagramm ohne CRC-Korrektur. Ausgehend vom Zustand 1 geht sie in Zustand 2 über, wenn eine Startsynchro- nisationssequenz SYNC gefunden wurde.

[0045] Im Zustand 1 wird der Einrichtung RB mitgeteilt, daß die Information bezüglich des Rahmenanfangs von der Einrichtung FD zu übernehmen ist. Außerdem sollen Datenpakete P von der Einrichtung A verworfen werden. Vom Zustand 2 geht sie in Zustand 3 über, falls das CRC-Prüfverfahren erfolgreich war. Ansonsten fällt sie in Zustand 1 zurück. Im Zustand 2 werden die Datenpakete P in der Einrichtung A verworfen. Rahmenanfang-Informationen von der "Flag-Detektion werden in diesem Fall von der Einrichtung RB nicht übernommen. Im Zustand 3 werden die Datenpakete P von der Einrichtung A nicht mehr verworfen. Rahmenanfang-Informationen von der Einrichtung FD werden nicht übernommen von der Einrichtung RB. Übergang in Zustand 1 falls der CRC-Check ein negatives Ergebnis liefert.

[0046] Bei der vorliegenden Erfindung wurden zwei bekannte Verfahren miteinander kombiniert, so daß das erfindungsgemäße Verfahren die Vorteile der beiden oben genannten herkömmlichen Verfahren beibehält, aber deren Nachteile vermeidet. Die Verwendung einer Startsynchro- nisationssequenz begünstigt ein einfaches, schnelles Auffinden der Bytegrenzen und der Rahmen - bzw. Paketgrenzen. Durch das Berücksichtigen der Pakellänge sind trotz der Verwendung einer Startsynchro- nisationssequenz alle Bitfolgen innerhalb des Pakets erlaubt. Es müssen keine Bitfolgen durch längere Sequenzen ersetzt werden. In diesem Fall könnte die Pakellänge abhängig von ihrem Inhalt bis zu einem Faktor zwei anwachsen.

Patentansprüche

1. Verfahren zur Synchronisierung von Datenpaketen

variabler Länge in einem bit-orientierten Kanal, mit einer Mehrzahl von Datenpaketen (P), die zwischen einer sendenden und empfangenden Einrichtung übertragen werden,

dadurch gekennzeichnet,

daß jedem Datenpaket (P) sendeseitig eine Synchronisationsinformation (SYNC), eine Information bezüglich der Länge (PL) des Datenpaketes (P) und eine über die Länge gebildete Prüfinformation (FS) vorangestellt wird.

2. Verfahren nach Anspruch 1,
dadurch gekennzeichnet,

daß der ankommende Bitstrom empfangsseitig auf die Synchronisationsinformation (SYNC) hin untersucht wird (1),
daß bei Auffinden einer Synchronisationsinformation (SYNC) überprüft wird (2), ob eine empfangsseitig über die Länge (PL) gebildete Prüfinformation (FS) mit der sendeseitig gebildeten und mitübertragenen Prüfinformation (FS) übereinstimmt,
daß bei Vorliegen dieser Übereinstimmung (3) eine Rahmengrenze und eine Synchronität definiert ist, und die Synchronität solange gegeben ist, bis die Beaufschlagung der Rahmengrenze mit der Paketlänge (PL) nicht mehr zur nächsten Rahmengrenze führt.

3. Verfahren nach Anspruch 1,
dadurch gekennzeichnet,

daß der ankommende Bitstrom empfangsseitig auf die Synchronisationsinformation (SYNC) hin untersucht wird (1),
daß bei Auffinden einer Synchronisationsinformation (SYNC) überprüft wird (2), ob eine empfangsseitig über die Länge (PL) gebildete Prüfinformation (FS) mit der sendeseitig gebildeten und mitübertragenen Prüfinformation (FS) übereinstimmt,
daß bei Vorliegen dieser Übereinstimmung (3) eine vorläufige Rahmengrenze definiert ist, die wenigstens einmal durch die Beaufschlagung dieser vorläufigen Rahmengrenze mit der Paketlänge (PL) überprüft wird (4), und
daß erst bei Vorliegen dieser Übereinstimmung die vorläufige Rahmengrenze als endgültig sowie eine Synchronität definiert ist, und die Synchronität solange gegeben ist, bis die Beaufschlagung dieser als endgültig angesehenen Rahmengrenze mit der Paketlänge (PL) nicht mehr zur nächsten Rahmengrenze führt.

4. Verfahren nach Anspruch 1, bis 3,
dadurch gekennzeichnet,
daß die Prüfinformation (FS) ein CRC-Prüfverfah-

ren ist.

5. Verfahren nach Anspruch 1 bis 3,
dadurch gekennzeichnet,
daß die Prüfinformation (FS) ein BIP-Prüfverfahren ist.
6. Verfahren nach Anspruch 1 bis 3,
dadurch gekennzeichnet,
die Prüfinformation (FS) ein FEC-Prüfverfahren ist.
7. Verfahren nach einem der vorstehenden Ansprüche,
dadurch gekennzeichnet,
daß eine Mehrzahl von parallel arbeitenden Synchronisationsvorrichtungen vorgesehen ist, die von einer übergeordneten Steuerung koordiniert werden.
8. Verfahren nach einem der vorstehenden Ansprüche,
dadurch gekennzeichnet,
daß Idle-Sequenzen zum Kennzeichnen und/oder Auffüllen der Lücken zwischen den Datenpaketen (P) verwendet werden.
9. Verfahren nach einem der vorstehenden Ansprüche,
dadurch gekennzeichnet,
daß eine zustandsabhängige Variation der Kriterien für die Zustandsübergänge (z.B. 1-2, 2-3) durchgeführt wird.
10. Verfahren nach einem der vorstehenden Ansprüche,
dadurch gekennzeichnet,
daß die sendenden und empfangenden Einrichtungen als Router-Einrichtungen ausgebildet sind.

FIG 1

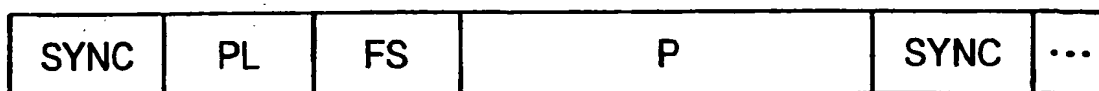


FIG 2

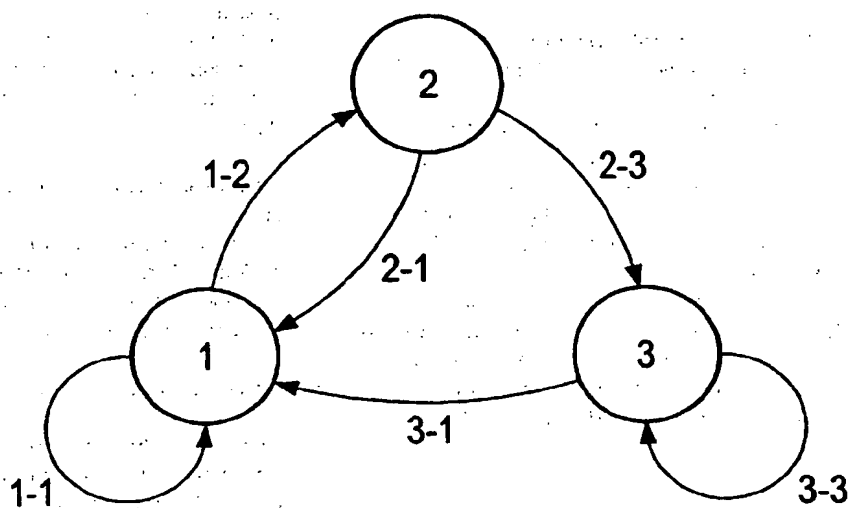


FIG 3

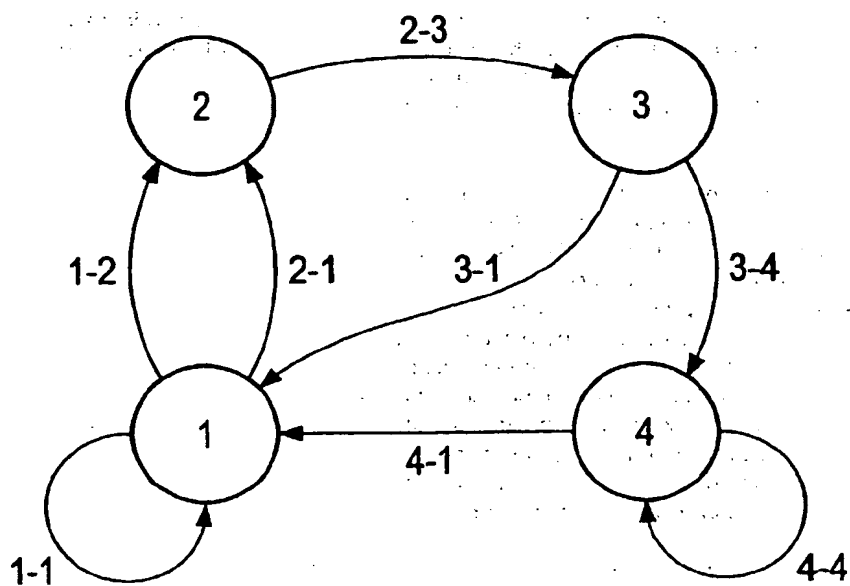


FIG 4

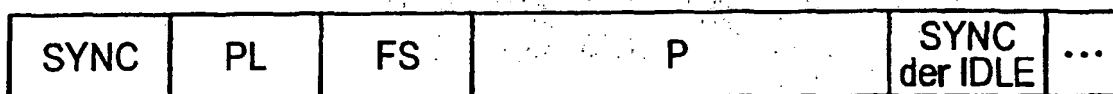
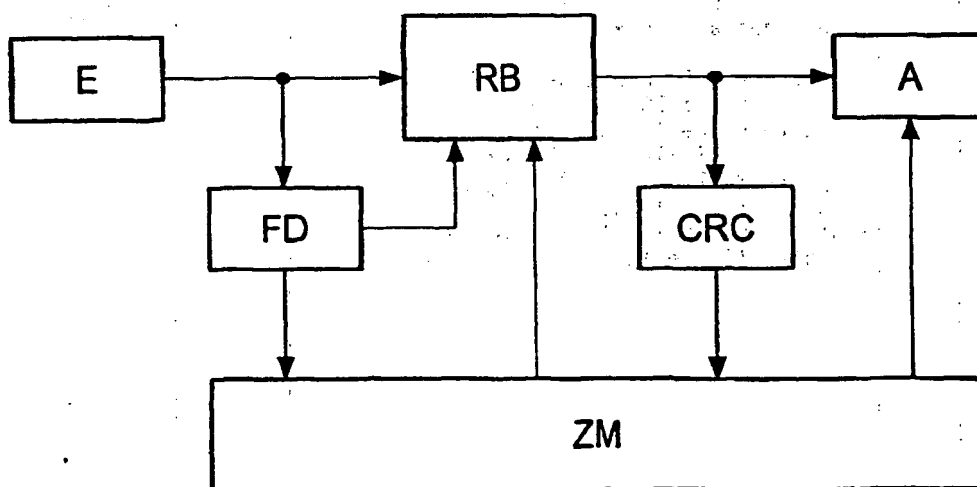


FIG 5





Europäisches
Patentamt

EUROPÄISCHER RECHERCHENBERICHT

Nummer der Anmeldung
EP 99 11 6229

EINSCHLÄGIGE DOKUMENTE			
Kategorie	Kennzeichnung des Dokuments mit Angabe, soweit erforderlich, der maßgeblichen Teile	Betrifft Anspruch	KLASSIFIKATION DER ANMELDUNG (Int.Cl.7)
X	SHARP D W ET AL: "DETECTION" OF VARIABLE MESSAGE LENGTHS FOR NATO IMPROVED LINK ELEVEN USING CRC CODES" PROCEEDINGS OF THE MILITARY COMMUNICATIONS CONFERENCE. (MILCOM), US, NEW YORK, IEEE, Bd. -, Seite 910-914 XP000273831 ISBN: 0-87942-691-8	1,4-6	H04L29/06 H04L7/04
Y	* Zusammenfassung * * Seite 912, linke Spalte, letzter Absatz - rechte Spalte, Absatz 4 *	2,3,7-10	
Y	J. CARLSON ET AL.: "PPP over Simple Data Link (SDL) using SONET/SDH with ATM-like framing" INTERNET DRAFT, November 1998 (1998-11), XP002112807 * Seite 6, Absatz 3 - Seite 9, letzter Absatz *	2,3,8-10	
Y	DE 40 36 818 C (ANT) 9. Januar 1992 (1992-01-09) * Zusammenfassung *	7	
X	US 3 873 920 A (APPLE JR GARRETT GORDON ET AL) 25. März 1975 (1975-03-25) * Spalte 6, Zeile 15 - Zeile 30 * * Spalte 6, Zeile 58 - Zeile 67 * * Spalte 8, Zeile 7 - Zeile 12 * * Spalte 8, Zeile 32 - Zeile 49 * * Spalte 9, Zeile 14 - Zeile 19 * * Spalte 11, Zeile 5 - Zeile 18 *	1,2,4	H04L H04J
A		3	
		-/--	
Der vorliegende Recherchenbericht wurde für alle Patentansprüche erstellt			
Recherchanort DEN HAAG		Abschlußdatum der Recherche 28. Januar 2000	
		Prüfer Pieper, T	
<p>KATEGORIE DER GENANNTEN DOKUMENTE</p> <p>X : von besonderer Bedeutung allein betrachtet Y : von besonderer Bedeutung in Verbindung mit einer anderen Veröffentlichung derselben Kategorie A : technologischer Hintergrund O : nichtschriftliche Offenbarung P : Zwischenliteratur</p> <p>T : der Erfindung zugrunde liegende Theorien oder Grundsätze E : älteres Patentedokument, das jedoch erst am oder nach dem Anmeldedatum veröffentlicht worden ist D : in der Anmeldung angeführtes Dokument L : aus anderen Gründen angeführtes Dokument & : Mitglied der gleichen Patentfamilie, übereinstimmendes Dokument</p>			

EPO FORM 1503 03 82 (F04C03)



Europäisches
Patentamt

EUROPÄISCHER RECHERCHENBERICHT

Nummer der Anmeldung

EP 99 11 6229

EINSCHLÄGIGE DOKUMENTE			
Kategorie	Kennzeichnung des Dokuments mit Angabe, soweit erforderlich, der maßgeblichen Teile	Betrifft Anspruch	KLASSIFIKATION DER ANMELDUNG (Int.Cl.7)
A	MANCHESTER J ET AL: "IP OVER SONET" IEEE COMMUNICATIONS MAGAZINE, US, IEEE SERVICE CENTER, PISCATAWAY, N.J., Bd. 36, Nr. 5, 1. Mai 1998 (1998-05-01), Seiten 136-142, XP000752858 ISSN: 0163-6804 * Seite 140, linke Spalte, Absatz 3 - rechte Spalte, Absatz 5 * * Seite 6 *	1,6-8,10	
A	DOSHI B T ET AL: "A simple data link protocol for high-speed packet networks" BELL LABS TECHNICAL JOURNAL, JAN.-MARCH 1999, LUCENT TECHNOLOGIES, USA, Bd. 4, Nr. 1, Seiten 85-104, XP002129088 ISSN: 1089-7089 * Abbildungen 4,5 * * Seite 93, linke Spalte, letzter Absatz - Seite 95, linke Spalte, letzter Absatz *	1-4,8,9	
A	EP 0 453 876 A (SEL ALCATEL AG) 30. Oktober 1991 (1991-10-30) * Spalte 4, Zeile 13 - Spalte 5, Zeile 39 * * Spalte 6, Zeile 28 - Spalte 7, Zeile 17 * * Abbildungen 1,2,4 *	1-6,9	RECHERCHIERTE SACHGEBIETE (Int.Cl.7)
A	US 5 461 618 A (CHEN CHI-CHANG ET AL) 24. Oktober 1995 (1995-10-24) * Spalte 5, Zeile 9 - Zeile 20 * * Spalte 6, Zeile 3 - Zeile 19 * * Spalte 6, Zeile 59 - Spalte 7, Zeile 2 * * Spalte 7, Zeile 62 - Spalte 8, Zeile 13 * * Abbildungen 3,8 *	1	
Der vorliegende Recherchenbericht wurde für alle Patentansprüche erstellt			
Recherchenort DEN HAAG		Abschlußdatum der Recherche 28. Januar 2000	Prüfer Pieper, T
KATEGORIE DER GENANNTEN DOKUMENTE X: von besonderer Bedeutung allein betrachtet Y: von besonderer Bedeutung in Verbindung mit einer anderen Veröffentlichung derselben Kategorie A: technologischer Hintergrund O: nichtschriftliche Offenbarung P: Zwischenliteratur		T: der Erfindung zugrunde liegende Theorien oder Grundsätze E: älteres Patentedokument, das jedoch erst am oder nach dem Anmeldedatum veröffentlicht worden ist D: in der Anmeldung angeführtes Dokument L: aus anderen Gründen angeführtes Dokument & : Mitglied der gleichen Patentfamilie, übereinstimmendes Dokument	

EPO FORM 1503 (03.02.92) (F04003)



Europäisches
Patentamt

EUROPÄISCHER RECHERCHENBERICHT

Nummer der Anmeldung
EP 99 11 6229

EINSCHLÄGIGE DOKUMENTE			
Kategorie	Kennzeichnung des Dokuments mit Angabe, soweit erforderlich, der maßgeblichen Teile	Betrifft Anspruch	KLASSIFIKATION DER ANMELDUNG (Int.Cl.7)
A	DE 39 40 097 A (SIEMENS AG) 6. Juni 1991 (1991-06-06) * Spalte 2, Zeile 30 - Zeile 48 * * Abbildung 2 * -----	1	
			RECHERCHIERTE SACHGEBIETE (Int.Cl.7)
Der vorliegende Recherchenbericht wurde für alle Patentansprüche erstellt			
Recherchenort DEN HAAG		Abschlußdatum der Recherche 28. Januar 2000	
		Prüfer Pieper, T	
<p>KATEGORIE DER GENANNTEN DOKUMENTE</p> <p>X : von besonderer Bedeutung allein betrachtet Y : von besonderer Bedeutung in Verbindung mit einer anderen Veröffentlichung derselben Kategorie A : technologischer Hintergrund O : mündliche Offenbarung P : Zwischenliteratur</p> <p>T : der Erfindung zugrunde liegende Theorien oder Grundsätze E : älteres Patentedokument, das jedoch erst am oder nach dem Anmeldedatum veröffentlicht worden ist D : in der Anmeldung angeführtes Dokument L : aus anderen Gründen angeführtes Dokument & : Mitglied der gleichen Patentfamilie, übereinstimmendes Dokument</p>			

EP FORM 1503 03 82 (P04020)

**ANHANG ZUM EUROPÄISCHEN RECHERCHENBERICHT
 ÜBER DIE EUROPÄISCHE PATENTANMELDUNG NR.**

EP 99 11 6229

In diesem Anhang sind die Mitglieder der Patentfamilien der im obengenannten europäischen Recherchenbericht angeführten Patendokumente angegeben.
 Die Angaben über die Familienmitglieder entsprechen dem Stand der Daten des Europäischen Patentamts am 28-01-2000.
 Diese Angaben dienen nur zur Unterrichtung und erfolgen ohne Gewähr.

28-01-2000

Im Recherchenbericht angeführtes Patendokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
DE 4036818 C	09-01-1992	EP 0486919 A	27-05-1992
US 3873920 A	25-03-1975	KEINE	
EP 0453876 A	30-10-1991	DE 4012762 A	24-10-1991
		DE 4015283 A	14-11-1991
		AT 154483 T	15-06-1997
		AU 4450793 A	21-10-1993
		AU 642235 B	14-10-1993
		AU 7503691 A	24-10-1991
		CA 2040085 A,C	22-10-1991
		DE 59108745 D	17-07-1997
		ES 2104629 T	16-10-1997
		FI 911921 A	22-10-1991
		JP 4229743 A	19-08-1992
		US 5251239 A	05-10-1993
US 5461618 A	24-10-1995	DE 4228316 A	05-01-1994
		GB 2268375 A,B	05-01-1994
DE 3940097 A	06-06-1991	AT 120063 T	15-04-1995
		DE 59008736 D	20-04-1995
		WO 9108634 A	13-06-1991
		EP 0504167 A	23-09-1992

EPO FORM P061

Für nähere Einzelheiten zu diesem Anhang: siehe Amtsblatt des Europäischen Patentamts, Nr. 12/82